

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-335663
 (43)Date of publication of application : 17.12.1996

(51)Int.CI. H01L 23/50
 H01L 21/60

(21)Application number : 07-167009
 (22)Date of filing : 08.06.1995

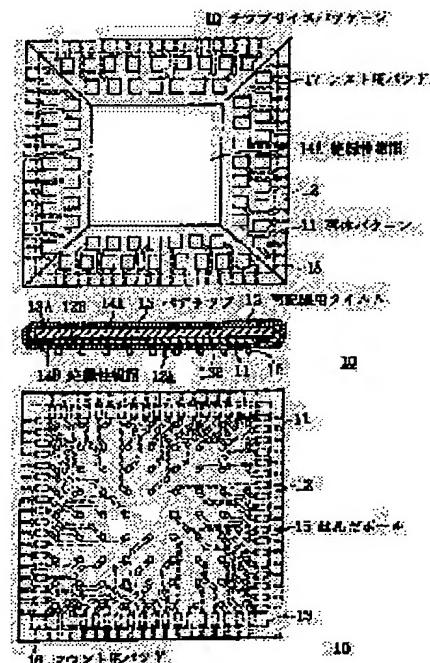
(71)Applicant : SONY CORP
 (72)Inventor : OKUHORA AKIHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To realize easy high density mounting and improvement of reliability.

CONSTITUTION: Since a bare chip 13 is coated with a filmy member 12 with insulating resin 14B between, a semiconductor device can be formed to almost the same size as the bare chip 13 as a whole and the bare chip 13 can be mechanically and electrically protected during wiring board mounting. The bare chip 13 is mounted on one surface 12B of the filmy member 12, the insulation resin 14B is filled between the bare chip 13 and the filmy member 12 and the bare chip 13 is coated with the filmy member 12 successively. Thereby, a semiconductor device which is almost the same size as the bare chip 13 and can protect the bare chip 13 by the insulation resin 14B and the filmy member 12 can be manufactured.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-335663

(43)公開日 平成8年(1996)12月17日

(51)Int.Cl.⁶
H 0 1 L 23/50
21/60

識別記号
3 1 1

府内整理番号
H 0 1 L 23/50
21/60

F I
R
3 1 1 R

審査請求 未請求 請求項の数11 FD (全10頁)

(21)出願番号

特願平7-167009

(22)出願日

平成7年(1995)6月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 奥洞 明彦

東京都品川区北品川6丁目7番35号ソニー
株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【目的】本発明は、半導体装置及び半導体装置の製造方法について、高密度実装を容易にし得、かつ信頼性を向上し得るようにする。

【構成】本発明は、ペアチップ13を絶縁性樹脂14Bを介してフィルム状部材12によって被覆するようにしたことにより、全体としてペアチップ13とほぼ同じ大きさに形成できると共に、配線基板実装の際にペアチップ13を機械的及び電気的に保護することができる。また本発明は、フィルム状部材12の一一面12Bにペアチップ13を実装し、次いでペアチップ13及びフィルム状部材12間に絶縁性樹脂14Bを充填し、続いでフィルム状部材12によってペアチップ13を被覆するようにしたことにより、ペアチップ13を絶縁性樹脂14B及びフィルム状部材12によって保護できるペアチップ13とほぼ同じ大きさの半導体装置を製造することができる。

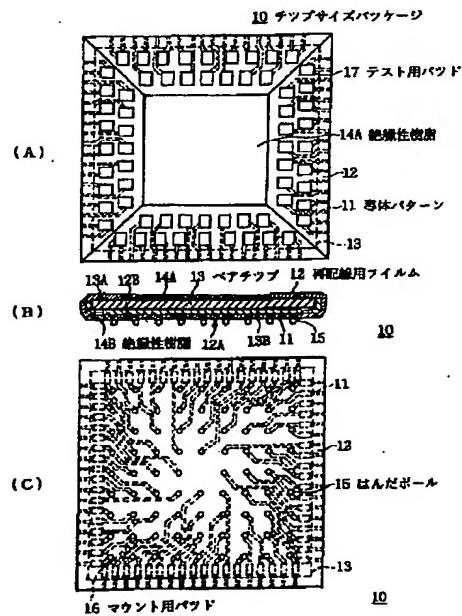


図1 施査例によるチップサイズパッケージの構成

【特許請求の範囲】

【請求項1】回路面上に単数又は複数の電極が設けられたペアチップと、

上記ペアチップを被覆し、内面側に上記ペアチップの上記各電極にそれぞれ対応させて単数又は複数のペアチップ実装用の第1の電極が設けられると共に、外面側に上記各第1の電極とそれに対応させて、当該対応する各第1の電極とそれ対導通する単数又は複数の外部接続用の第2の電極が設けられたフィルム状部材と、
上記ペアチップの上記各電極と上記フィルム状部材の対応する上記各第1の電極とをそれぞれ電気的に接続する接続手段と、
上記フィルム状部材の上記内面及び上記ペアチップ間に充填され、上記ペアチップを封止しつつ上記ペアチップと上記フィルム状部材とを接着する絶縁性樹脂とを具えることを特徴とする半導体装置。

【請求項2】上記フィルム状部材は、

上記外面側に上記各第2の電極とそれ対応させて、当該対応する各第2の電極とそれ対導通する単数又は複数の検査用の第3の電極を具えることを特徴とする請求項1に記載の半導体装置。

【請求項3】上記各第2の電極が、格子状に配列されたことを特徴とする請求項1に記載の半導体装置。

【請求項4】上記フィルム状部材は、

上記ペアチップの周側面と対向する上記内面間に緩衝材を具えることを特徴とする請求項1に記載の半導体装置。

【請求項5】上記フィルム状部材は、

上記ペアチップの周側面と対向する上記内面の所定位置に所定の深さの切込みを有することを特徴とする請求項1に記載の半導体装置。

【請求項6】上記フィルム状部材は、

上記ペアチップの周側面と対向する上記内面の所定部分が所定の深さに剥離されることを特徴とする請求項1に記載の半導体装置。

【請求項7】上記各第3の電極は、

上記各第2の電極と対向する位置に配列されてなることを特徴とする請求項2に記載の半導体装置。

【請求項8】ペアチップの回路面上に設けられた単数又は複数の電極にそれぞれ対応させて一面に単数又は複数の第1の電極が設けられると共に、他面に上記各第1の電極にそれ対応させて、当該対応する第1の電極とそれ対導通する単数又は複数の第2の電極が設けられたフィルム状部材の上記一面に、上記ペアチップの上記各電極と上記フィルム状部材の対応する上記各第1の電極とを接合するようにして上記ペアチップを実装する第1の工程と、

上記ペアチップ及び上記フィルム状部材間に絶縁性樹脂を充填する第2の工程と、

上記フィルム状部材を上記ペアチップの周側面及び上記

回路面と対向する面に沿つて折り曲げ、上記ペアチップを上記フィルム状部材によつて被覆する第3の工程とを具えることを特徴とする半導体装置の製造方法。

【請求項9】上記第3の工程では、

上記ペアチップの上記周側面に緩衝材を配置した後、上記フィルム状部材を折り曲げることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】上記第3の工程では、

上記ペアチップの上記周側面と対向する上記フィルム状部材の上記内面の所定部分を予め所定の深さに切り込んでおくことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】上記第3の工程では、

上記ペアチップの上記周側面と対向する上記フィルム状部材の上記内面の所定部分を予め所定の厚さに剥離しておくことを特徴とする請求項8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術(図9)

発明が解決しようとする課題(図9)

課題を解決するための手段(図1)

作用(図1)

実施例

(1) 半導体装置の構成(図1～図3)

(2) 半導体装置の製造工程(図4及び図6)

(3) 実施例の動作

(4) 実施例の効果

(5) 他の実施例(図7及び図8)

発明の効果

【0002】

【産業上の利用分野】本発明は半導体装置及び半導体装置の製造方法に関し、特にペアチップを当該ペアチップとほぼ同サイズにパッケージしたチップサイズパッケージ及びその製造方法に適用して好適なものである。

【0003】

【従来の技術】近年、エンジニアリングワークステーション(EWS)やパーソナルコンピュータ(PC)等の情報処理装置においては、並列処理の促進及びクロック速度の上昇による処理能力の向上が図られると共に、半導体集積化技術の進展及び半導体チップの実装技術の進歩により、小型化及びパーソナル化がより一層進んでいる。

【0004】このように情報処理装置の小型化及びパーソナル化を実現するための高密度実装技術として、複数のペアチップが搭載されたマルチチップモジュール(Multi-chip-module、MCM)やペアチップ実装が注目されている。このようなペアチップの実装形態を実現する

には、マルチチップモジュールの歩留り又はペアチップが実装された配線基板の歩留りを確保するため、ペアチップが良品（良品ペアチップは、Known Good Die、KGDと呼ばれている）であるか否かが最も重要である。また実装後、不良ペアチップを発見するためのテスト技術及び発見された不良ペアチップを交換するためのリペア技術も重要な要件である。

【0005】しかしながら上述した要件を満たす良品ペアチップは、ペアチップレベルでのテスト及び特性保証を低コストで実施するための技術の欠如、技術流出又は付加価値の流出等を防止するための半導体供給メーカーの戦略的方針及び技術開発のために市場調査を実施した場合の市場の不透明性等の理由により、入手することが困難であつた。かかる課題を解決する方策として、近年、チップサイズパッケージ（Chip Size Package、CSP）と呼ばれる超小型の半導体パッケージの開発が急速に進んでいる。

【0006】ここでISHM（International Society for Hybrid Microelectronics、Mike C. Log and Ken Jill ed, Proc. of the 1993 Int. Nation. Symp. on Microelectr. on. Nov. Dallas, U.S.A pp318~323）において発表されたチップサイズパッケージ（μ-Ball Grid Array、μ-BGAとも呼ばれている）の一例を図9に示す。

【0007】チップサイズパッケージ1は、ペアチップ2の回路面2A上に、弾性樹脂でなる接着剤層3を介して所定の導体バターン4Aが形成されたポリイミドフィルム4Bでなるフレキシブル配線層4が配置されていると共に、ペアチップ2の周側面を一周に亘つて覆うように絶縁材でなる保護枠5が形成されて構成されている。

【0008】このチップサイズパッケージ1では、ペアチップ2の回路面2A上の最外周に沿つて所定ビツチに複数設けられたI/Oパッド（図示せず）と、フレキシブル配線層4の導体バターン4Aとが接合部6によつて接合されている。またこのチップサイズパッケージ1では、金メッキを施した球状形状でなるニッケル7（以下、これをニッケルボール7と呼ぶ）が、フレキシブル配線層4上に格子状に複数設けられており、当該各ニッケルボール7とそれぞれ対応する導体バターン4Aとが電気的に接続されている。

【0009】これによりこのチップサイズパッケージ1では、各ニッケルボール7をそれぞれ配線基板（図示せず）の対応する電極に接合することによつて、当該配線基板上に容易に実装することができると共に、各ニッケルボール7を介して配線基板からペアチップ2のI/Oパッドに信号を入出力させることができるようになされている。

【0010】またこのチップサイズパッケージ1では、ペアチップ2の回路面2Aとフレキシブル配線層4とが接着剤層3によつて接着されると共に気密封止され、その接着剤層3の弾力性によつて基板実装後のペアチップ

2、フレキシブル配線層4及び配線基板の熱膨張係数差が吸収緩和される。さらにこのチップサイズパッケージ1では、当該チップサイズパッケージ1を取り扱う際のペアチップ2の損傷を保護枠5によつて防止すると共に、配線基板実装後において、隣接するチップサイズパッケージ1が短絡することを防止し得るようになされている。

【0011】これにより、このチップサイズパッケージ1は、ペアチップ2だけを実装した場合と比較して、取り扱い性に優れ、また良品ペアチップの要件であるペアチップ2の品質を確保し、不良ペアチップに対するリペアにも対応することができるようになされている。

【0012】

【発明が解決しようとする課題】ところでかかる構成のチップサイズパッケージ1においては、例えばQFP（Quad Flat Package）型半導体素子等のように周側面から突出して設けられているI/Oピンによつてその特性及び動作状態をテストすることができるパッケージとは異なり、ニッケルボール7が形成された面が配線基板の実装面と対向するように実装されるため、ペアチップ2の特性及び動作状態を直接検査装置のプローブによりテストすることができない問題があつた。

【0013】このような問題を解決する方法として、チップサイズパッケージ1の各ニッケルボール7が接合された配線基板面上の各電極にそれぞれ電気的に接続されるランドを、そのチップサイズパッケージ1が実装された配線基板面上に設ける方法が考えられる。ところがこの方法では、配線基板面上に複数のランドを設けるためのスペースが必要となり、複数のチップサイズパッケージ1を実装するには、その実装スペースに制限が生じるため、高密度実装というチップサイズパッケージ1としての本来の機能が損なわれるおそれがあつた。

【0014】またこのチップサイズパッケージ1では、ペアチップ2がN（Negative）型基板の場合には電源電圧がバイアスされ、ペアチップ2がP（Positive）型基板の場合にはグランドがバイアスされた状態にある。このため、高密度実装として配線基板の両面にそれぞれ複数のN（Negative）型基板なるペアチップ2及びP（Positive）型基板なるペアチップ2を実装した後、当該配線基板を積層配置して所定の装置等に搭載した場合に、その配線基板上に実装されている各ペアチップ2の露出された面同士が接触することによつて、ペアチップ2にショート破壊が生じるおそれがあつた。

【0015】本発明は以上の点を考慮してなされたもので、高密度実装を容易にし得、かつ信頼性を向上し得る半導体装置及び当該半導体装置の製造方法を提案しようとするものである。

【0016】

【課題を解決するための手段】かかる課題を解決するため第1の発明においては、回路面上に単数又は複数の電

極が設けられたペアチップと、当該ペアチップを被覆し、内面側にペアチップの各電極にそれぞれ対応させて単数又は複数のペアチップ実装用の第1の電極が設けられると共に、外面側に各第1の電極とそれぞれ対応させて、当該対応する各第1の電極とそれぞれ導通する単数又は複数の外部接続用の第2の電極が設けられたフィルム状部材と、ペアチップの各電極とフィルム状部材の対応する各第1の電極とをそれぞれ電気的に接続する接続手段と、フィルム状部材の内面及びペアチップ間に充填され、ペアチップを封止しかつ当該ペアチップとフィルム状部材とを接着する絶縁性樹脂とを設けるようにした。

【0017】また第2の発明においては、ペアチップの回路面に設けられた単数又は複数の電極にそれぞれ対応させて一面に単数又は複数の第1の電極が設けられると共に、他面に各第1の電極にそれぞれ対応させて、当該対応する第1の電極とそれぞれ導通する単数又は複数の第2の電極が設けられたフィルム状部材の一面に、ペアチップの各電極とフィルム状部材の対応する各第1の電極を接合するようにしてペアチップを実装する第1の工程と、ペアチップ及びフィルム状部材間に絶縁性樹脂を充填する第2の工程と、フィルム状部材をペアチップの周側面及び回路面と対向する面に沿つて折り曲げ、ペアチップをフィルム状部材によつて被覆する第3の工程とを設けるようにする。

【0018】

【作用】第1の発明では、ペアチップを絶縁性樹脂を介してフィルム状部材によつて被覆するようにしたことにより、全体としてペアチップとほぼ同じ大きさに形成することができると共に、配線基板実装の際にペアチップを機械的及び電気的に保護することができる。

【0019】また第2の発明では、ペアチップの回路面に設けられた単数又は複数の第1の電極が設けられると共に、他面に各第1の電極にそれぞれ対応させて、当該対応する第1の電極とそれぞれ導通する単数又は複数の第2の電極が設けられたフィルム状部材の一面に、ペアチップの各電極とフィルム状部材の対応する各第1の電極を接合するようにしてペアチップを実装し、次いでペアチップ及びフィルム状部材間に絶縁性樹脂を充填し、続いてフィルム状部材をペアチップの周側面及び回路面と対向する面に沿つて折り曲げ、ペアチップをフィルム状部材によつて被覆するようにしたことにより、ペアチップを絶縁性樹脂及びフィルム状部材によつて保護することができるペアチップとほぼ同じ大きさの半導体装置を製造し得る。

【0020】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0021】(1) 半導体装置の構成

図1(A)～(C)において、10は全体として実施例によるチップサイズパッケージを示し、所定の導体バーン11が形成された再配線用フィルム12上に実装されたペアチップ13を、その上面13A(以下、これをペアチップ上面13Aと呼ぶ)中央部の所定領域を除いて再配線用フィルム12で包み込むように覆い、当該ペアチップ上面13A中央部の所定領域を絶縁性樹脂14Aで封止すると共に、ペアチップ13の周側面及び回路面13Bと再配線用フィルム12との間に封止を兼ねた接着用の絶縁性樹脂14Bを充填することにより構成されている。

【0022】この場合、再配線用フィルム12のペアチップ13が実装されていない側の面(以下、これをパッド面12Aと呼び、ペアチップ13が実装されている面をペアチップ実装面12Bと呼ぶ)のうち、チップサイズパッケージ10の下面を形成する部分には、特に図1(B)及び(C)において明らかに、ペアチップ13の各I/Oパッド(図示せず)にそれぞれ対応させて複数の供給用パッド(図示せず)が格子状に形成され、これらの各供給用パッド上には球状形状であるはんだ(以下、これをはんだボール15と呼ぶ)が形成されている。

【0023】またこれら各供給用パッドは、それぞれ導体バーン11及び再配線用フィルム12のペアチップ実装面12Bに形成された各マウント用パッド16を順次介してペアチップ13のそれぞれ対応するI/Oパッドと電気的に接続されている。これによりこのチップサイズパッケージ10は、各はんだボール15をそれぞれ配線基板(図示せず)の対応する電極と接合することによりこの配線基板上に実装し得ると共に、この状態においてペアチップ13がこれら各はんだボール15を介してこの配線基板から信号を入力し、又は出力し得るようになされている。

【0024】一方再配線用フィルム12のパッド面12Aのうち、チップサイズパッケージ10の上面の周端部を形成する部分には、特に図1(A)において明らかに、ペアチップ13の各I/Oパッドにそれぞれ対応させて複数のテスト用パッド17が形成されている。この場合これらの各テスト用パッド17は、再配線用フィルム12のパッド面12Aに形成された上述の供給用パッドと同様にして、それぞれ導体バーン11と再配線用フィルム12のペアチップ実装面12Bの対応する各マウント用パッド16とを順次介してペアチップ13のそれぞれ対応するI/Oパッドと電気的に接続されている。これによりこのチップサイズパッケージ10では、配線基板に実装された状態において、これらの各テスト用パッド17に検査装置(図示せず)のプローブ(図示せず)を当てることにより、その特性及び動作状態をテストし得るようになされている。

【0025】この実施例の場合、図2に示すように、再

配線用フィルム12は、所定の幅及び厚さを有する2枚のポリイミドフィルム12C及び12D間の所定位置に、例えば銅でなるフレキシブルな所定の導体パターン11を挿み込むことにより1枚のフィルム状に形成されている。この再配線用フィルム12は、ペアチップ実装面12Bの所定位置が導体パターン11を露出させるように所定形状に穴部が形成されており、当該穴部及び再配線用フィルム12のペアチップ実装面12Bの一部に無電解メツキ法等によつてニッケル膜18が形成されてマウント用パッド16が形成されている。また再配線用フィルム12のパッド面12Aの所定位置には、マウント用パッド16を形成する場合と同様の方法によつて、供給用パッド19及びテスト用パッド17とがそれぞれ形成されている。

【0026】またこの実施例の場合、再配線用フィルム12上に実装されたペアチップ13は、図3に示すように、ペアチップ13のI/Oパッド20上に形成された例えばチタン-白金-金等の3層膜からなるBLM(Ball Limiting Metal)膜層21と、再配線用フィルム12のマウント用パッド16上に形成された錫22とが例えば金パンプ23によつて接合されていると共に、当該金パンプ23を埋め込むようにペアチップ13の回路面13Bと再配線用フィルム12のペアチップ実装面12Bとの間に絶縁性樹脂14Bが充填されている。かくして絶縁性樹脂14Bによつて、ペアチップ13と再配線用フィルム12との間が絶縁されるようになされている。

【0027】(2) 半導体装置の製造工程

ここで、実際にこのチップサイズパッケージ10は、図4～図6(C)に示す以下の手順により製造することができる。すなわち、まず図4に示すように、所定の幅及び厚さを有する帯状でなる2枚のポリイミドフィルムの長手方向に沿つて所定間隔に所定の導体パターン11を複数挿み込みフィルムキャリア24を形成する。この場合、フィルムキャリア24の導体パターン11を有する所定部分が再配線用フィルム12となり、この導体パターン11を有する所定部分の一方の面にペアチップの各I/Oパッド(図示せず)とそれぞれ対応するマウント用パッド16を形成すると共に、他方の面の所定位置にマウント用パッド16とそれぞれ複数のテスト用パッド17及び複数の供給用パッド19を形成する。

【0028】続いて図5(A)に示すように、ペアチップ13の回路面13B上の最外周に沿つて所定ビッチに複数形成されたアルミニウム等でなるI/Oパッド(図示せず)上に、例えばスパツタ法によつてパンプの密着性を向上させるBLM(Ball Limiting Metal)膜層21を形成する。その後、BLM膜層21上に、例えばメツキ法又はワイヤーボンディング装置(図示せず)を用いたスタッドパンプ形成法によつて所定形状でなる金パンプ23を形成する。この場合、再配線用フィルム12

は、フィルムキャリア24に形成された状態で用い、マウント用パッド16上に例えばメツキ法又は印刷法によつて錫22を所定形状に形成する。

【0029】次いで図5(B)に示すように、ペアチップ13のペアチップ上面13Aを加熱ヒータ等でなる加熱装置25の所定面に接するようにし、ペアチップ13を加熱装置25上に固定する。続いてペアチップ13の回路面13Bと再配線用フィルム12のペアチップ実装面12Bとを対向させ、ペアチップ13の回路面13Bに形成された各金パンプ23とそれぞれ対応する再配線用フィルム12のペアチップ実装面12Bに形成されたマウント用パッド16とを位置合わせした後に接触させる。この後加熱装置25によつて、ペアチップ13のペアチップ上面13Aを所定温度に加熱することにより、ペアチップ13を介して各金パンプ23を加熱すると共に、再配線用フィルム12のパッド面12A側からマウント用パッド16をポンディングツール26によつて所定時間だけ所定重量で加圧することにより、ペアチップ13の各金パンプ23と再配線用フィルム12のマウント用パッド16とを一括又は各接触部分毎に接合する。この場合、上述した接合の条件は、ペアチップ13の金パンプ23及び再配線用フィルム12のマウント用パッド16の面積及び熱容量によつて異なるが、例えば加圧重量を1つの金パンプ23当たり10～30[g]程度、加熱温度を300～400[°C]程度、加圧時間を0.3～0.5(sec)程度に設定する。

【0030】続いて図5(C)に示すように、ペアチップ13と再配線用フィルム12との接合部分を所定の条件で洗浄した後、所定の打抜きツール(図示せず)によつてフィルムキャリア24から再配線用フィルム12を所定サイズに打ち抜く。次いでペアチップ13及び再配線用フィルム12を、絶縁性樹脂14Bの浸透を助長させる60～100[°C]程度の温度に保ちながら、ペアチップ13と再配線用フィルム12との対向する面間に絶縁性樹脂14Bを充填することにより、ペアチップ13を封止し、かつペアチップ13と再配線用フィルム12とを接着する。

【0031】続いて図6(A)に示すように、ペアチップ13の周側面に沿つて所定径の円柱形状でなるシリコーンゴム29を配置した後、成形機能を有する加熱モールド装置28の本体部28A上に再配線用フィルム12のパッド面12Aが接するように固定する。その後、再配線用フィルム12のペアチップ実装面12Bがシリコーンゴム29及びペアチップ13のペアチップ上面13Aに接するようにし、かつペアチップ13のペアチップ上面13Aが所定領域だけ露出するように、加熱モールド装置28の曲げ駆動部28B及び28Cによつて再配線用フィルム12を折り曲げる。このとき、再配線用フィルム12の曲げ部分に集中する曲げによるストレスをシリコーンゴム29によつて緩和させることができる。

次いで再配線用フィルム12が、加熱モールド装置28の曲げ駆動部28B及び28Cによって折り曲げられた状態で、140～180[°C]程度の温度で4～12時間程度加熱することにより、その折り曲げられた状態に固定する。

【0032】次いで図6(B)に示すように、再配線用フィルム12が加熱形成された際、再配線用フィルム12とペアチップ13間に充填されていた絶縁性樹脂14Bのうち、ペアチップ13のペアチップ上面13Aと、当該ペアチップ上面13Aに折り曲げられた再配線用フィルム12のペアチップ実装面12Bとの間からペアチップ13のペアチップ上面13Aの露出領域に過剰な絶縁性樹脂がはみ出すことにより、上部に盛り上がりつて絶縁性樹脂14C部分を除去し、所定の厚さを有するように絶縁性樹脂14A部分を残す。かくしてペアチップ13のペアチップ上面13Aの露出領域を絶縁性樹脂14Aで保護できると共に、当該絶縁性樹脂14Aと再配線用フィルム12によってペアチップ13全体をほぼ完全に保護することができる。

【0033】統いて図6(C)に示すように、再配線用フィルム12のバッド面12Aに形成された各供給用バッド19に、それぞれ所定径でなるはんだボール15を印刷法又は一括転写法等によって供給する。これにより、このチップサイズパッケージ10を製造することができる。

【0034】(3) 実施例の動作

以上の構成において、このチップサイズパッケージ10では、まずペアチップ13のI/Oバッド20上にBLM(Ball Limiting Metal)膜層21と金パンプ23とを順次形成し、一方再配線用フィルム12のマウント用バッド16上に錫22を形成した(図5(A))後、加熱装置25及びボンディングツール26によって再配線用フィルム12上にペアチップ13を実装する(図5(B))。次いでペアチップ13と再配線用フィルム12との接合部分を洗浄し、フィルムキャリア24から再配線用フィルム12を打ち抜いた後、ペアチップ13と再配線用フィルム12との間に絶縁性樹脂14Bにより封止及び接着する(図5(C))。

【0035】統いて、ペアチップ13を包み込むように、加熱モールド装置28によって再配線用フィルム12を加熱形成した(図6(A))後、ペアチップ13のペアチップ上面13Aの露出領域に絶縁性樹脂14Aを形成する(図6(B))。次いで再配線用フィルム12の各供給用バッド19にそれぞれはんだボール15を供給することにより、チップサイズパッケージ10を製造する(図6(C))。

【0036】従つて、このチップサイズパッケージ10の製造手順においては、再配線用フィルム12に、ペアチップ13の特性及び動作状態をテストするためのテスト用バッド17を設けるようにしたことにより、ペアチ

ツブ13と再配線用フィルム12とが電気的に接合された後の製造手順においてペアチップ13の不良箇所を容易に診断することができる。

【0037】この場合、このようにして形成されたチップサイズパッケージ10には、ペアチップ13の各I/Oバッド20とそれぞれ電気的に接続されたテスト用バッド17を再配線用フィルム12のバッド面12Aのうち、チップサイズパッケージ10の上面を形成する部分に設けているため、配線基板実装後、再配線用フィルム12のテスト用バッド17を介してペアチップ13の特性及び動作状態を容易にテストすることができる。

【0038】またこのチップサイズパッケージ10では、再配線用フィルム12のバッド面12Aにテスト用バッド17を設けているため、高密度実装用の配線基板において考えられていたテスト用のランドを必要とせず、従つて配線基板の設計期間及び生産工程を短縮することができる。さらにこのチップサイズパッケージ10では、はんだボール15を格子状に設けているため、配線基板上に実装する際、はんだボール15のリフローによつて溶融した各はんだのセルフアライメント効果により精度良く実装することができる。

【0039】(4) 実施例の効果

以上の構成によれば、ペアチップ13を絶縁性樹脂14Bを介して再配線用フィルム12によってパッケージすると共に、ペアチップ13のペアチップ上面13Aの露出領域に絶縁性樹脂14Aを設けるようにしたことにより、全体としてペアチップ13とほぼ同じ大きさに形成することができると共に、配線基板実装の際にペアチップ13を機械的及び電気的に保護することができ、かくして高密度実装を容易にし得、かつ信頼性を向上し得る半導体装置を実現できる。

【0040】また上述の構成によれば、ペアチップ13を絶縁性樹脂14Bを介して再配線用フィルム12によってパッケージすると共に、ペアチップ13のペアチップ上面13Aの露出領域に絶縁性樹脂14Aを形成するようにしたことにより、ペアチップ13全体を保護することができるペアチップ13とほぼ同じ大きさの半導体装置を製造でき、かくして高密度実装を容易にし得、かつ信頼性を向上し得る半導体装置を製造することができる半導体装置の製造方法を実現できる。

【0041】(5) 他の実施例

なお上述の実施例においては、チップサイズパッケージ10のテスト用バッド17と供給用バッド19とをそれぞれ所定の配列で設けるようにした場合について述べたが、本発明はこれに限らず、例えば図7に示すように、チップサイズパッケージ31において、再配線用フィルム32のバッド面32Aのうち、チップサイズパッケージ31の上面を形成する部分に設けられているテスト用バッド33を、再配線用フィルム32のバッド面32Aのうち、チップサイズパッケージ31の下面を形成する

部分に格子状に設けられている供給用パッド(図示せず)と同一の格子状に設けるようにし、当該供給用パッド上にはんだボール34を設けるようにする。これにより、図8に示すように、複数のチップサイズパッケージ31をその厚み方向に積層配置する場合、対向するテスト用パッド及びはんだボール34同士を接合できるため、SRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)等のように、多数の共有バスを有する半導体メモリを配線基板35上に実装する際に特に有効である。

【0042】また上述の実施例においては、ペアチップの各電極とフィルム状部材の対応する各第1の電極とをそれぞれ電気的に接続する接続手段として、ペアチップ13側の金パンプ23と再配線用フィルム12のマウント用パッド16に形成された錫22とを接合するようにした場合について述べたが、本発明はこれに限らず、金パンプと銀ベーストとの接合や高温はんだパンプと共に晶はんだとの接合等の種々の材料による組合せで接合するようにしても良い。

【0043】さらに上述の実施例においては、ペアチップを被覆し、内面側にペアチップの各電極にそれぞれ対応させて単数又は複数のペアチップ実装用の第1の電極が設けられていると共に、外面側に各第1の電極とそれに対応させて、当該対応する各第1の電極とそれぞれ導通する単数又は複数の外部接続用の第2の電極が設けられたフィルム状部材として、所定の導体パターン11を有するポリイミドフィルム12C及び12Dとなる再配線用フィルム12を用いるようにした場合について述べたが、本発明はこれに限らず、例えばポリエステル、ポリスチロール及びブスマレイド・トリアジン(BT)ーレジン等の種々の絶縁材でなる再配線用フィルムを用いるようにしても良い。

【0044】さらに上述の実施例においては、ポリイミドフィルム12C/導体パターン11/ポリイミドフィルム12Dの3層からなる再配線用フィルム12を用いるようにした場合について述べたが、本発明はこれに限らず、例えば各ポリイミドフィルム12C及び12Dと導体パターン11との間に所定の接着剤となる接着剤層を設けた5層となる再配線用フィルムを用いるようにしても良い。

【0045】さらに上述の実施例においては、チップサイズパッケージ10の供給用パッド19上にはんだボール15を設けるようにした場合について述べたが、本発明はこれに限らず、ニッケル、金、アルミニウム又は銅等の種々の導電性材料でなる突起電極を設けるようにしても良い。

【0046】さらに上述の実施例においては、ペアチップ13の周側面と再配線用フィルム12の曲げ部分との間にシリコーンゴム29を用いて再配線用フィルム12を折り曲げる様にした場合について述べたが、本発明

はこれに限らず、再配線用フィルム13の曲げ部分にその曲げによるストレスが集中することを避け得るならば、ペアチップ13の周側面と対向する再配線用フィルム12のペアチップ実装面12Bの曲げ部分に予め所定の深さに切れ込みを設け、又は再配線用フィルム12のペアチップ実装面12Bにおける曲げ部分のポリイミドフィルム12Cを所定領域に剥離し、導体パターン11を露出させるようにする等の種々の方法を適用するようにも良い。

【0047】

【発明の効果】上述のように本発明によれば、ペアチップを絶縁性樹脂を介してフィルム状部材によって被覆するようにしたことにより、全体としてペアチップとほぼ同じ大きさに形成することができると共に、配線基板実装の際にペアチップを機械的及び電気的に保護することができ、かくして高密度実装を容易にし得、かつ信頼性を向上し得る半導体装置を実現できる。

【0048】また上述のように本発明によれば、ペアチップの回路面に設けられた単数又は複数の電極にそれぞれ対応させて一面に単数又は複数の第1の電極が設けられると共に、他面に各第1の電極にそれぞれ対応させて、当該対応する第1の電極とそれ導通する単数又は複数の第2の電極が設けられたフィルム状部材の一面に、ペアチップの各電極とフィルム状部材の対応する各第1の電極を接合するようにしてペアチップを実装し、次いでペアチップ及びフィルム状部材間に絶縁性樹脂を充填し、統いてフィルム状部材をペアチップの周側面及び回路面と対向する面に沿つて折り曲げ、ペアチップをフィルム状部材によって被覆するようにしたことにより、ペアチップを絶縁性樹脂及びフィルム状部材によって保護することができるペアチップとほぼ同じ大きさの半導体装置を製造することができ、かくして高密度実装を容易にし得、かつ信頼性を向上し得る半導体装置を製造することができる半導体装置の製造方法を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例によるチップサイズパッケージの構成を示す上面図、断面図及び底面図である。

【図2】本発明の一実施例による再配線用フィルムを示す断面図である。

【図3】本発明の一実施例によるペアチップと再配線用フィルムの接合部分を示す断面図である。

【図4】本発明の一実施例による複数のフィルムキャリアに形成された再配線用フィルムを示す平面図である。

【図5】本発明の一実施例によるチップサイズパッケージの製造手順を示す断面図である。

【図6】本発明の一実施例によるチップサイズパッケージの製造手順を示す断面図である。

【図7】本発明の他の実施例によるチップサイズパッケージの構成を示す上面図、断面図及び底面図である。

13

【図8】本発明の他の実施例による複数のチップサイズパッケージを積層配置して基板上に実装した様子を示す断面図である。

【図9】従来のチップサイズパッケージの構成を示す断面図及び底面図である。

【符号の説明】

1、10、31……チップサイズパッケージ、2、13……ペアチップ、2A、13A……ペアチップ上面、13B……回路面、3……接着剤層、4……フレキシブル配線層、4A、11……導体パターン、4B、12C、12D……ポリイミドフィルム、5……保護枠、6……*

*接合部、7……ニッケルボール、12、32……再配線用フィルム、12A、32A……パッド面、12B……ペアチップ実装面、14A、14B、14C……絶縁性樹脂、15、34……はんだボール、16……マウント用パッド、17、33……テスト用パッド、18……ニッケル膜、19……供給用パッド、20……I/Oパッド、21……BLM膜層、22……錫、23……金バンブ、24……フィルムキャリア、25……加熱装置、26……ボンディングツール、28……加熱モールド装置、28A……本体部、28B、28C……曲げ駆動部、29……シリコーンゴム、35……配線基板。

【図1】

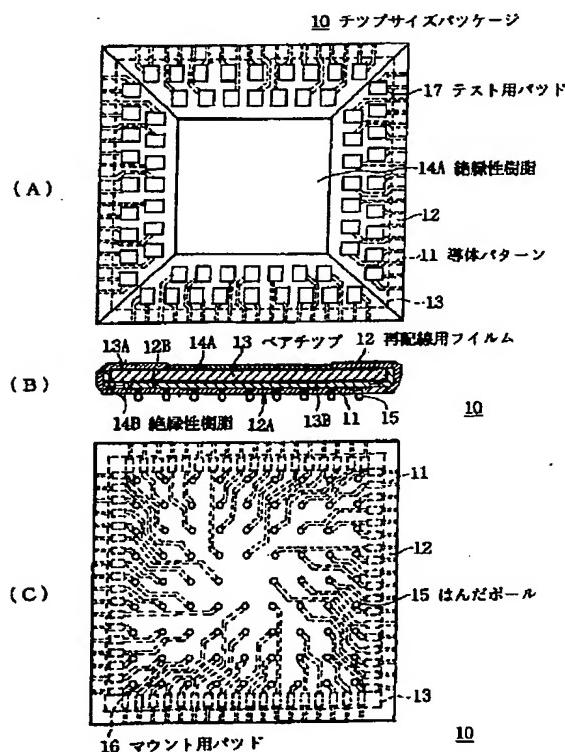


図1 実施例によるチップサイズパッケージの構成

【図3】

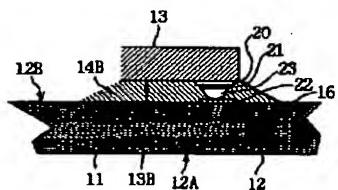


図3 ペアチップと再配線用フィルムの接合の様子

【図2】

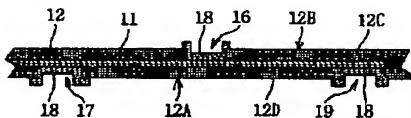
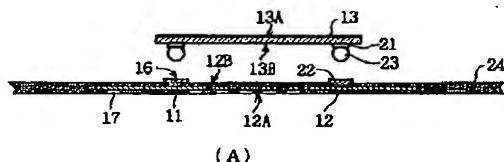
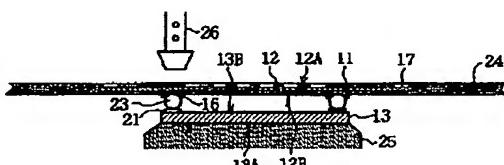


図2 再配線用フィルムの様子

【図5】



(A)



(B)

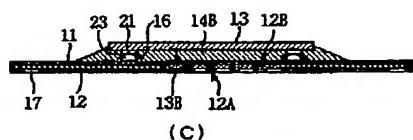


図5 実施例によるチップサイズパッケージの製造手順(1)

【図4】

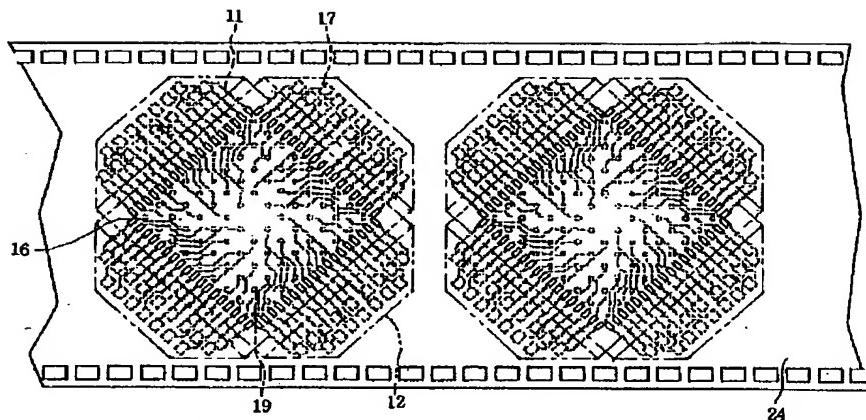
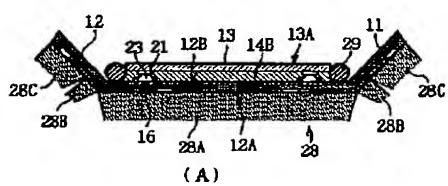


図4 フィルムキャリアに形成された再配線用フィルム

【図6】



【図7】

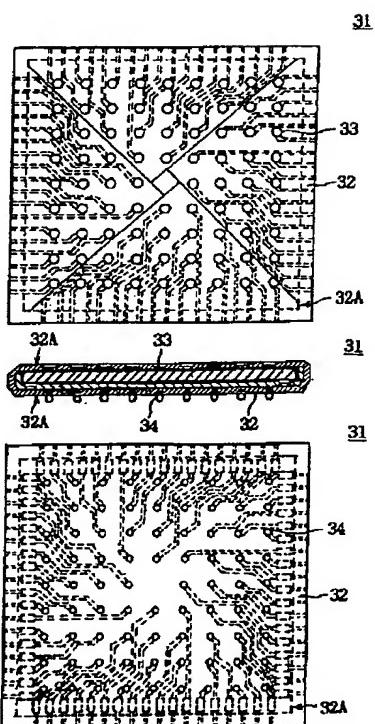


図6 実施例によるチップサイズパッケージの製造手順(2)

図7 他の実施例によるチップサイズパッケージの構成

【図8】

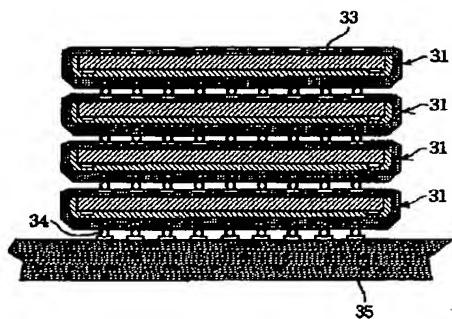


図8 他の実施例による積層配置されたチップサイズパッケージの構成

【図9】

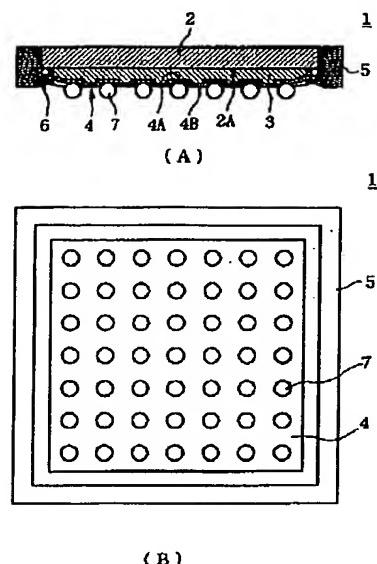


図9 従来のチップサイズパッケージの構成

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.